

Original document

## COMPOSITE ELEMENT MOUNT CIRCUIT BOARD

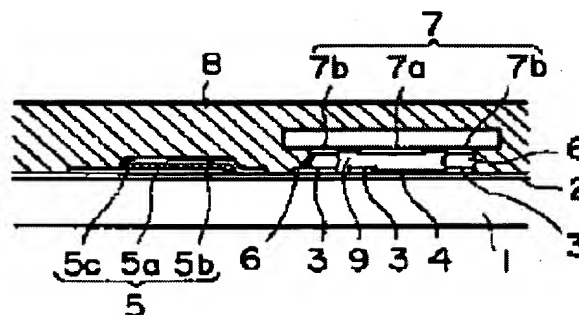
Patent number: JP8274575  
 Publication date: 1996-10-18  
 Inventor: ASANO KOJI; KANDA TADASHI  
 Applicant: KOKUSAI ELECTRIC CO LTD  
 Classification:  
 - international: **H01L23/12; H03H9/25; H01L23/12; H03H9/00; (IPC1-7): H03H9/25; H01L23/12**  
 - european:  
 Application number: JP19950099438 19950403  
 Priority number(s): JP19950099438 19950403

View INPADOC patent family

[Report a data error here](#)

### Abstract of JP8274575

**PURPOSE:** To mount and seal a chip surface acoustic wave element and another thin film circuit element on one board simultaneously. **CONSTITUTION:** An insulating film 2 is formed on the board 1 made of silicon, etc., and a thin film resistor pattern 4 and a thin film capacitor pattern 5 are formed on the insulating film. A hollow part 9 is kept on the thin film resistor pattern 4 with a solder bump 6 in the periphery by facing the face of the comb-line electrode 7a of a surface acoustic wave element 7 downward, and the surface acoustic wave element is fixed. The whole board is sealed with resin 8. In this way, it is possible to attain thinning of the wiring pattern of electronic parts and mounting with high density.



Data supplied from the *esp@cenet* database - Worldwide



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-274575

(43) 公開日 平成8年(1996)10月18日

| (51) Int.Cl. <sup>6</sup> | 識別記号 | 庁内整理番号   | F I           | 技術表示箇所 |
|---------------------------|------|----------|---------------|--------|
| H 0 3 H 9/25              |      | 7259-5 J | H 0 3 H 9/25  | A      |
| H 0 1 L 23/12             |      |          | H 0 1 L 23/12 | H      |

審査請求 未請求 請求項の数 1 F D (全 7 頁)

(21) 出願番号 特願平7-99438

(22) 出願日 平成7年(1995)4月3日

(71) 出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72) 発明者 浅野 宏二

東京都中野区東中野三丁目14番20号 国際  
電気株式会社内

(72) 発明者 神田 正

東京都中野区東中野三丁目14番20号 国際  
電気株式会社内

(74) 代理人 弁理士 大塚 学

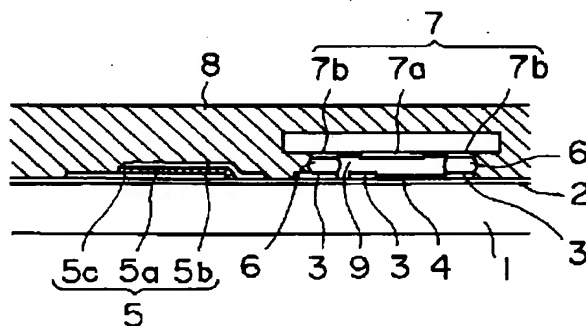
(54) 【発明の名称】 素子複合搭載回路基板

(57) 【要約】

【目的】 チップ状の弾性表面波素子と他の薄膜回路素子を一つの基板上に搭載して同時に封止できるようにする。

【構成】 シリコンなどの基板1上に絶縁膜2を形成し、その上に薄膜抵抗パターン4、薄膜コンデンサパターン5を形成する。薄膜抵抗パターン4の上に、弾性表面波素子7のくし形電極7aの面を下にして、周囲のはんだパンプ6によって中空部9を保ち弾性表面波素子を固定する。全体を樹脂8によって封止する。

【効果】 電子部品の配線パターンの微細化と高密度実装ができる。



1

## 【特許請求の範囲】

【請求項1】 基板と、該基板上に形成された薄膜抵抗パターン、薄膜コンデンサパターン及び薄膜インダクタパターンのうちいずれか1個または複数個と、該薄膜抵抗パターンの周囲の所定の回路電極上に設けられたはんだバンプと、くし形電極とボンディングパッドが形成された主面が前記薄膜抵抗パターンと対面し該くし形電極の励振面との間に中空部を保持して前記はんだバンプ上に前記ボンディングパッドが溶着固定された弾性表面波素子と、該弾性表面波素子を覆うように形成された樹脂とを備えたことを特徴とする素子複合搭載回路基板。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、複数種類の素子を搭載した回路基板に関し、特に、弾性表面波素子と他の素子を複合搭載した高周波回路基板に関する。

## 【0002】

【従来の技術】 従来、表面を直接樹脂で覆うことのできない弾性表面波素子は、カンパッケージや表面実装形のセラミックパッケージを用いて気密封止され、プリント基板に実装されるのが一般的である。図5は従来の弾性表面波装置を実装した回路基板の部分拡大断面図である。図5に示した弾性表面波装置は、セラミックパッケージ32の内側底面に接着剤12でダイボンディングされた弾性表面波素子7のボンディングパッド7bと外部引出し電極32bが金線などのワイヤ11で接続され、弾性表面波素子7のくし形電極7aの弾性表面波が励振される表面上に中空部9を保ち、くし形電極7aとボンディングパッド7bの腐食を防止するため、中空部9の空気が不活性ガスに置換され、キャップ32aにより気密封止されている。このような弾性表面波装置が他のチップ部品33とともにプリント基板31の配線パターン31a上にはんだ34で接続搭載されて回路基板が構成されている。

## 【0003】

【発明が解決しようとする課題】 しかし、上記の従来構成では、移動通信機器の軽薄短小化、低コスト化に対応するための配線パターンの微細化、高密度実装化に限界がある。

【0004】 本発明の目的は、従来技術の問題点を解消し、配線パターンの微細化を図ることができ、弾性表面波素子を他のチップ部品とともに高密度に実装した素子複合搭載回路基板を提供することにある。

## 【0005】

【課題を解決するための手段】 本発明の弾性表面波素子を他の素子と共に搭載した素子複合搭載回路基板は、例えば、シリコン下地基板の上に生成されたシリコン酸化膜上に薄膜コンデンサパターンや薄膜抵抗パターンまたは薄膜インダクタパターンを形成して薄膜による回路を設け、その上に弾性表面波素子をバンプを介して配置

2

し、前記基板の配線パターン回路電極と弾性表面波素子のボンディングパッドとを接続し、くし形電極の表面波励振部表面を中空に確保して樹脂により基板上の薄膜回路と弾性表面波素子を同時に封止したことを特徴とする。

【0006】 本発明の第1の素子複合搭載回路基板は、基板と、該基板上に形成された薄膜抵抗パターン、薄膜コンデンサパターン及び薄膜インダクタパターンのうちいずれか1個または複数個と、該薄膜抵抗パターンの周囲の所定の回路電極上に設けられたはんだバンプと、くし形電極とボンディングパッドが形成された主面が前記薄膜抵抗パターンと対面し該くし形電極の励振面との間に中空部を保持して前記はんだバンプ上に前記ボンディングパッドが溶着固定された弾性表面波素子と、該弾性表面波素子を覆うように形成された樹脂とを備えたことを特徴とする。

## 【0007】

【実施例】 以下図面により本発明を詳細に説明する。図1は本発明の第1の実施例を示す部分断面図である。この実施例は、弾性表面波素子7の主面を下にして基板1上の抵抗パターン4の上に配置した例である。図1において、1は基板、2は絶縁層、3は回路電極、4は抵抗パターン、5はコンデンサパターン、6はバンプ、7は弾性表面波素子、8は樹脂、9は中空部である。例えば、シリコン基板などの基板1の表面に酸化膜またはポリイミド膜等の絶縁層2を設け、その上に蒸着法またはスパッタリング法等で薄膜導体を成膜し、さらにスパッタリング法やホットエッチング法等の手段を用いてコンデンサ用の誘電体5aを形成する。その後、抵抗用と電極用の薄膜を成膜し、ホットエッチング法等で回路電極3、上部電極5b、下部電極5c、抵抗パターン4、コンデンサパターン5等を形成することにより薄膜の受動素子回路が基板1上に形成される。

【0008】 弾性表面波素子7のくし形電極7aとボンディングパッド7bが形成されている主面を、上述の受動素子回路が形成されている面と向かい合うように配置し、弾性表面波素子7のボンディングパッド7bに金またははんだ等で形成した導電性のバンプ6により対応する基板1上の回路電極3と中空部9を保持して弾性表面波素子7が電気的に接続されている。バンプ6により電気的に接続された弾性表面波素子7と基板1上の受動素子の回路電極3との接続部および弾性表面波素子7は、エポキシ等の樹脂8でモールドされ保護されている。

【0009】 弾性表面波素子7のくし形電極7aの表面に樹脂8が流れ込まないようにするため、高粘度の樹脂が用いられる。高粘度の樹脂で中空部9に受動素子回路、ここでは抵抗パターン4と弾性表面波素子7を保護する樹脂8が流れ込まないように、最初に弾性表面波素子7の周辺だけを封止する等の手段が有効である。また、弾性表面波素子7の主面側に向き合ったシリコン基

3

板1上の薄膜受動素子回路面には、電気的および熱的問題等が受動素子および弾性表面波素子7の特性等に影響を与えないパターンが配置されている。

【0010】次に、本発明の第2の実施例について説明する。図2は本発明の第2の実施例を示す部分断面図である。この実施例は、弾性表面波素子7の主面を下にして基板1のコンデンサパターン5の上に載置した例である。図3は本発明の第3の実施例を示す部分断面図である。この実施例は、弾性表面波素子7の主面を下にして基板1上の抵抗パターン4およびコンデンサパターン5上に配置した例である。第2、第3の実施例ともに第1の実施例と同様に薄膜の受動素子回路が形成され、弾性表面波素子7はボンディングパッド7bに形成したパンプ6により対応する基板1上の回路電極3と中空部9を保って弾性表面波素子7が電気的に接続されている。パンプ6により電気的に接続された弾性表面波素子7と基板1上の受動素子の回路電極3との接続部および弾性表面波素子7は、エポキシ等の樹脂8でモールドされ保護されている。

【0011】図4は本発明の第4の実施例を示す部分断面図である。この実施例は、弾性表面波素子7の主面を下にして基板1上のインダクタパターン10上に配置した例である。例えば、シリコン基板などの基板1の表面に酸化膜またはポリイミド膜等の絶縁層2を設け、その上に蒸着法またはスパッタリング法等で薄膜導体を成膜し、さらにスパッタリング法やホットエッチング法等の手段を用いてコンデンサ用の誘電体5aをパターン形成する。その後、抵抗用と電極用の薄膜を成膜し、ホットエッチング法等で回路電極3、上部電極5b、下部電極5c、抵抗パターン4、コンデンサパターン5等を形成する。さらにインダクタパターン10を予めパターン形成していた部分にめっき等により導体を厚膜化し形成する。また、弾性表面波素子7のボンディングパッド7bおよびパンプ6に対応する回路電極3aも同時にめっき等の処理を行い、等しい膜厚にする。これらの工程により薄膜の受動素子回路が基板1上に形成される。

【0012】弾性表面波素子7のくし形電極7aとボンディングパッド7bが形成されている主面を上述の受動素子回路が形成されている面と向かい合うように配置し、弾性表面波素子7のボンディングパッド7bにパンプ6により対応する基板1上の回路電極3aと中空部9を保って弾性表面波素子7が電気的に接続されている。パンプ6により電気的に接続された弾性表面波素子7と基板1上の受動素子の回路電極3aとの接続部および弾性表面波素子7は、エポキシ等の樹脂8でモールドされ保護されている。

【0013】本発明では、弾性表面波素子7の主面側に向き合ったシリコン基板1上の薄膜受動素子回路面には、電気的および熱的問題等が受動素子および弾性表面波素子7の特性等に影響を与えないパターンが配置され

4

ていけばよい。これにより、従来、弾性表面波素子の表面波励振部を保護するためのパッケージに収められた弾性表面波装置を使用することなく、チップ（素子）状態で、薄膜受動素子が既に形成された回路基板上に実装することで、小型、薄型な回路基板を得ることができる。

【0014】なお、基板1上の薄膜受動素子の構造については限定されず、コンデンサについて図面ではMIM型（Metal Insulator Metal）型になっているが、くし形構造等でもよい。また、インダクタについても図面ではスパイラル形になっているがミアンダ形等でもよい。この発明によれば、基板の材質はシリコンのような半導体を基板として使用でき、またセラミック、ガラス、サファイヤ等を基板として使用してもよい。ここで、基板の材質によっては絶縁層2を省いてもよい。さらに、薄膜導体等は1層とは限定されず、接続する材質により、拡散による剥離防止する薄膜層を追加する等のため、2層以上あってもよい。

【0015】

【発明の効果】本発明の弾性表面波素子を他の素子と共に搭載した素子複合搭載回路基板は、受動素子を含む回路が薄膜で形成された回路基板の上から弾性表面波素子をチップの状態でパンプを介してボンディングパッドと回路電極を接続することで、小型化、薄型化が図れる。チップ状の弾性表面波素子を直接実装するので、配線長が短くなり、特性が向上し、パッケージ等が不要になり、樹脂封止等だけでよいため経済的にも利点がある。弾性表面波素子の下にも受動素子等を形成することが可能になるので、実装効率が格段に向上できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す部分断面図である。

【図2】本発明の第2の実施例を示す部分断面図である。

【図3】本発明の第3の実施例を示す部分断面図である。

【図4】本発明の第4の実施例を示す部分断面図である。

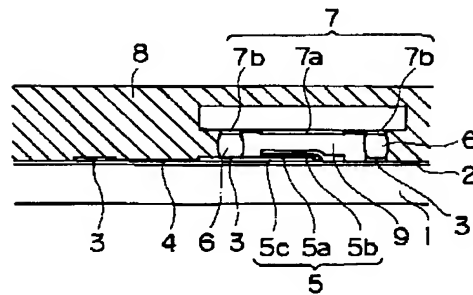
【図5】従来の弾性表面波装置を搭載した回路基板の部分断面図である。

【符号の説明】

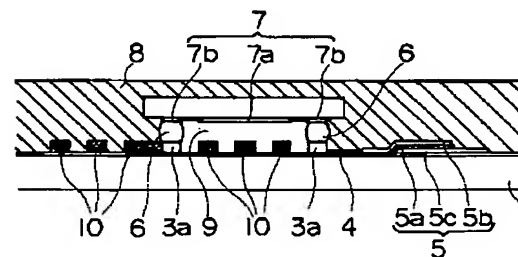
- 1 基板
- 2 絶縁層
- 3 回路電極
- 3a 回路電極
- 4 抵抗パターン
- 5 コンデンサパターン
- 5a 誘電体
- 5b 上部電極
- 5c 下部電極
- 6 パンプ

- 3 1 プリント基板
- 3 1 a 配線パターン
- 3 2 セラミックパッケージ
- 3 2 a キャップ
- 3 2 b 外部引出し電極
- 3 3 チップ部品
- 3 4 はんだ

【図 2】



【図4】



【補正方法】変更

抗、薄膜コンデンサ、薄膜インダクタなどの薄膜受動回路素子と、圧電基板上にくし形電極とボンディングパッドが形成され該くし形電極とボンディングパッドが形成された主面を下にして少なくとも1つの前記薄膜受動回路素子の上側から対面させかつ該くし形電極の表面波励振面と前記基板との間に中空部を保ち前記ボンディングパッドに予め設けられたバンパによって前記基板の配線回路電極に接続固定されたチップ状の弾性表面波素子と、該弾性表面波素子と前記薄膜受動回路素子を覆うように形成された樹脂とを備えたことを特徴とする素子複合搭載回路基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数種類の電子回路素子を搭載した回路基板に関し、特に、弾性表面波素子と他の電子回路素子を複合搭載した高周波回路基板に関する。

【0002】

【従来の技術】従来、一つの基板上に、抵抗、コンデンサ、インダクタ等の電子回路素子と弾性表面波素子を複合搭載する場合、電子回路素子はそれぞれ独立したチップ部品の状態で実装され、表面を直接樹脂で覆うことのできない弾性表面波素子は、カンパッケージや表面実装形のセラミックパッケージを用いて気密封止され、弾性表面波装置としてプリント基板に実装されるのが一般的である。図5は従来の弾性表面波装置を他のチップ部品とともに実装した回路基板の部分拡大断面図である。図5に示した弾性表面波装置は、セラミックパッケージ32の内側底面に接着剤12でダイボンディングされた弾性表面波素子7のボンディングパッド7bと外部引出し電極32bが金線などのワイヤ11で接続され、弾性表面波素子7のくし形電極7aの弾性表面波が励振される表面上に中空部9を保ち、くし形電極7aとボンディングパッド7bの腐食を防止するため、中空部9の空気が不活性ガスに置換され、キャップ32aにより気密封止されている。このような弾性表面波装置が他のチップ部品33とともにプリント基板31の配線パターン31a上にはんだ34で接続搭載されて回路基板が構成されている。

【0003】

【発明が解決しようとする課題】しかし、上記の従来構成では、回路素子がチップ状であり、弾性表面波素子はパッケージに收容された状態であるため、基板上の配線パターンに余裕があり、移動通信機器の軽薄短小化、低コスト化に対応するための配線パターンの微細化、高密度実装化に限界がある。

【0004】本発明の目的は、上記従来技術の問題点を解消するため、個別のチップ部品を直接基板上に形成し、さらに、弾性表面波装置をチップ化して配線パターンの微細化を図るとともに高密度実装化を図った素子複

合搭載回路基板を提供することにある。

【0005】

【課題を解決するための手段】本発明の素子複合搭載回路基板は、例えば、シリコン下地基板の上に生成されたシリコン酸化膜などの絶縁層の上に、薄膜コンデンサや薄膜抵抗または薄膜インダクタなどの薄膜回路素子を設け、その上に弾性表面波素子を主面を下にして配置し、前記基板の配線パターン回路電極と弾性表面波素子のボンディングパッドとをバンパによって接続し、くし形電極の表面波励振部表面を中空に確保して樹脂により基板上の薄膜回路と弾性表面波素子を同時に封止したことを特徴とする。

【0006】即ち、基板と、該基板上に形成された薄膜抵抗、薄膜コンデンサ、薄膜インダクタなどの薄膜受動回路素子と、圧電基板上にくし形電極とボンディングパッドが形成され該くし形電極とボンディングパッドが形成された主面を下にして少なくとも1つの前記薄膜受動回路素子の上側から対面させかつ該くし形電極の表面波励振面と前記基板との間に中空部を保ち前記ボンディングパッドに予め設けられたバンパによって前記基板の配線回路電極に接続固定されたチップ状の弾性表面波素子と、該弾性表面波素子と前記薄膜受動回路素子を覆うように形成された樹脂とを備えたことを特徴とする。

【0007】

【実施例】以下図面により本発明を詳細に説明する。図1は本発明の第1の実施例を示す部分断面図である。この実施例は、圧電基板上にくし形電極が形成された弾性表面波素子7の主面を下にして基板1上の薄膜抵抗4の上に配置した例である。図1において、1は基板、2は絶縁層、3は回路電極、4は薄膜抵抗、5は薄膜コンデンサ、6はバンパ、7は弾性表面波素子、8は樹脂、9は中空部である。例えば、シリコン基板などの基板1の表面に酸化膜またはポリイミド膜等の絶縁層2を設け、その上に蒸着法またはスパッタリング法等で薄膜導体を成膜し、さらにスパッタリング法やホトエッチング法等の手段を用いてコンデンサ用の誘電体5aを形成する。その後、抵抗用と電極用の薄膜を成膜し、ホトエッチング法等で回路電極3、上部電極5b、下部電極5c、薄膜抵抗4、薄膜コンデンサ5等を形成することにより薄膜の受動素子回路が基板1上に形成する。

【0008】弾性表面波素子7は圧電基板上にくし形電極7aとボンディングパッド7bが形成されており、その主面を、上述の薄膜受動素子回路が形成されている面と向かい合うように配置し、弾性表面波素子7のボンディングパッド7bに金またははんだ等で形成した導電性のバンパ6により対応する基板1上の回路電極3と中空部9を保って弾性表面波素子7が電気的に接続されている。バンパ6により電気的に接続された弾性表面波素子7と基板1上の受動素子の回路電極3との接続部および弾性表面波素子7は、基板全体または必要な部分を十分

に覆うエポキシ等の樹脂 8 でモールドされ保護されている。

【0009】弾性表面波素子 7 のくし形電極 7 a の表面に樹脂 8 が流れ込まないようにするため、高粘度の樹脂が用いられる。高粘度の樹脂で中空部 9 に受動素子回路、ここでは薄膜抵抗 4 と弾性表面波素子 7 を保護する樹脂 8 が流れ込まないように、最初に弾性表面波素子 7 の周辺だけを封止する等の手段が有効である。また、弾性表面波素子 7 の主面側に向き合ったシリコン基板 1 上の薄膜受動素子回路面には、電気的および熱的問題等が受動素子および弾性表面波素子 7 の特性等に影響を与えない素子が配置されている。

【0010】次に、本発明の第 2 の実施例について説明する。図 2 は本発明の第 2 の実施例を示す部分断面図である。この実施例は、弾性表面波素子 7 の主面を下にして基板 1 上の薄膜コンデンサ 5 の上に配置した例である。図 3 は本発明の第 3 の実施例を示す部分断面図である。この実施例は、弾性表面波素子 7 の主面を下にして基板 1 上の薄膜抵抗 4 および薄膜コンデンサ 5 上に配置した例である。第 2、第 3 の実施例ともに第 1 の実施例と同様に薄膜の受動素子回路が形成され、弾性表面波素子 7 はボンディングパッド 7 b に形成したバンプ 6 により対応する基板 1 上の回路電極 3 と中空部 9 を保って弾性表面波素子 7 が電気的に接続されている。バンプ 6 により電気的に接続された弾性表面波素子 7 と基板 1 上の受動素子の回路電極 3 との接続部および弾性表面波素子 7 は、基板全体または必要な部分を十分に覆うエポキシ等の樹脂 8 でモールドされ保護されている。

【0011】図 4 は本発明の第 4 の実施例を示す部分断面図である。この実施例は、弾性表面波素子 7 の主面を下にして基板 1 上の薄膜インダクタ 10 上に配置した例である。例えば、シリコン基板などの基板 1 の表面に酸化膜またはポリイミド膜等の絶縁層 2 を設け、その上に蒸着法またはスパッタリング法等で薄膜導体を成膜し、さらにスパッタリング法やホットエッチング法等の手段を用いてコンデンサ用の誘電体 5 a をパターン形成する。その後、抵抗用と電極用の薄膜を成膜し、ホットエッチング法等で回路電極 3、上部電極 5 b、下部電極 5 c、薄膜抵抗 4、薄膜コンデンサ 5 等を形成する。さらに薄膜インダクタ 10 を予めパターン形成していた部分にめっき等により導体を厚膜化し形成する。また、弾性表面波素子 7 のボンディングパッド 7 b およびバンプ 6 に対応する回路電極 3 a も同時にめっき等の処理を行い、等しい膜厚にする。これらの工程により薄膜の受動素子回路が基板 1 上に形成される。

【0012】弾性表面波素子 7 のくし形電極 7 a とボンディングパッド 7 b が形成されている主面を上述の受動素子回路が形成されている面と向かい合うように配置し、弾性表面波素子 7 のボンディングパッド 7 b にバンプ 6 により対応する基板 1 上の回路電極 3 a と中空部 9

を保って弾性表面波素子 7 が電気的に接続されている。バンプ 6 により電気的に接続された弾性表面波素子 7 と基板 1 上の受動素子の回路電極 3 a との接続部および弾性表面波素子 7 は、基板全体または必要な部分を十分に覆うエポキシ等の樹脂 8 でモールドされ保護されている。

【0013】本発明では、弾性表面波素子 7 の主面側に向き合ったシリコン基板 1 上の薄膜受動素子回路面には、電気的および熱的問題等が受動素子および弾性表面波素子 7 の特性等に影響を与えない素子が配置されていればよい。これにより、従来、弾性表面波素子の表面波励振部を保護するためのパッケージに収められた弾性表面波装置を使用することなく、チップ（素子）状態で、薄膜受動素子が既に形成された回路基板上に実装することで、小型、薄型な回路基板を得ることができる。

【0014】なお、基板 1 上の薄膜受動素子の構造については限定されず、薄膜コンデンサ 5 について図面では MIM (Metal Insulator Metal) 型になっているが、くし形構造等でもよい。また、薄膜インダクタ 10 についても図面ではスパイラル形になっているがミアンダ形等でもよい。この発明によれば、基板の材質はシリコンのような半導体を基板として使用でき、またセラミック、ガラス、サファイヤ等を基板として使用してもよい。ここで、基板の材質によっては絶縁層 2 を省いてもよい。さらに、薄膜導体等は 1 層とは限定されず、接続する材質により、拡散による剥離防止する薄膜層を追加する等のため、2 層以上あってもよい。

【0015】

【発明の効果】以上詳細に説明したように、本発明によれば、抵抗、コンデンサ、インダクタなどの受動回路素子がすべて薄膜回路素子として基板上に形成され、その薄膜回路素子の上から弾性表面波素子がチップの状態で搭載されるため、小型化、薄型化が図れる。チップ状の弾性表面波素子を直接実装するので、配線長が短くなり、特性が向上し、パッケージ等が不要になり、樹脂封止等だけでよいため経済的にも利点がある。弾性表面波素子の下側にも受動素子等を形成することが可能になるので、実装効率が格段に向上できる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例を示す部分断面図である。

【図 2】本発明の第 2 の実施例を示す部分断面図である。

【図 3】本発明の第 3 の実施例を示す部分断面図である。

【図 4】本発明の第 4 の実施例を示す部分断面図である。

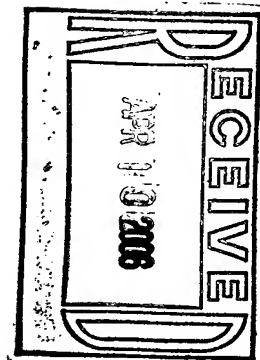
【図 5】従来の弾性表面波装置を搭載した回路基板の部分断面図である。

【符号の説明】



- 1 基板
- 2 絶縁層
- 3 回路電極
- 3 a 回路電極
- 4 薄膜抵抗
- 5 薄膜コンデンサ
- 5 a 誘電体
- 5 b 上部電極
- 5 c 下部電極
- 6 パンプ
- 7 弾性表面波素子
- 7 a くし形電極
- 7 b ボンディングパッド

- 8 樹脂
- 9 中空部
- 10 薄膜インダクタ
- 11 ワイヤ
- 12 接着剤
- 31 プリント基板
- 31 a 配線パターン
- 32 セラミックパッケージ
- 32 a キャップ
- 32 b 外部引出し電極
- 33 チップ部品
- 34 はんだ



**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**